

Ref. 1

SEMICONDUCTOR MANUFACTURING METHOD AND THE MANUFACTURING DEVICE

Publication number: JP11162820

Publication date: 1999-06-18

Inventor: KAMIIDE KOYO

Applicant: SONY CORP

Classification:

- international: G03F7/40; H01L21/027; H01L21/302; H01L21/3065;
G03F7/40; H01L21/02; (IPC1-7): H01L21/027;
G03F7/40; H01L21/3065

- European:

Application number: JP19970329275 19971128

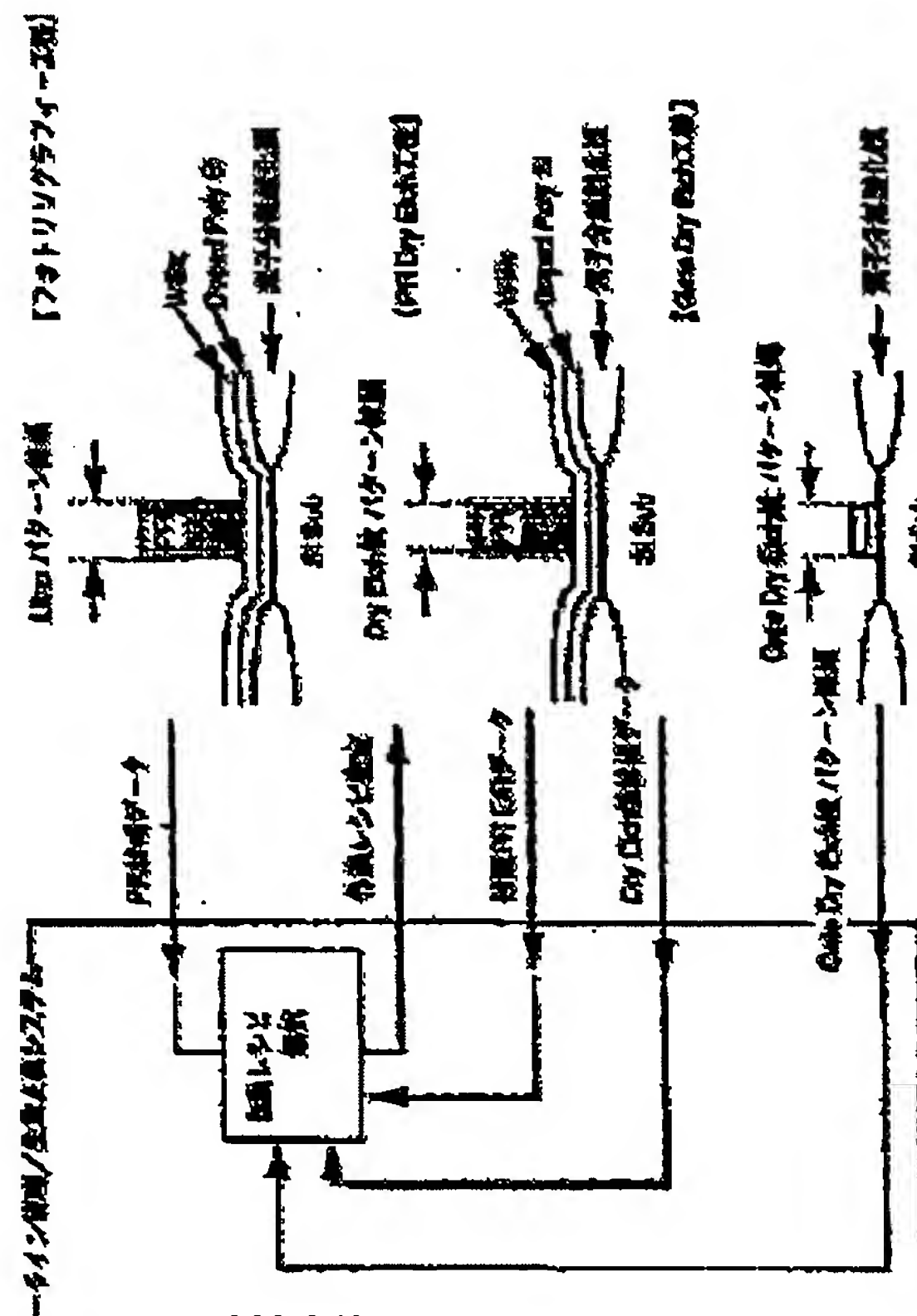
Priority number(s): JP19970329275 19971128

Report a data error here

Abstract of JP11162820

PROBLEM TO BE SOLVED: To provide a semiconductor manufacturing method and a manufacturing device which improves machining precision for a semiconductor.

SOLUTION: This manufacturing method forms a resist pattern on a wafer by performing photolithography for the wafer, on which surface an oxide film has been formed, forms a pattern on the oxide film by etching based upon the resist pattern and obtains a target line width which is a line width of the oxide film pattern. In this case photolithography is performed by setting beforehand the a line width of a resist size which should be drawn on the wafer, the line width of the resist pattern formed on the wafer is measured, the line width of a photoresist and a line width of the resist pattern are measured, an etching condition corresponding to the line width of the resist pattern is decided based upon the compared value and etching is made.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-162820

(43)公開日 平成11年(1999) 6 月18日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 21/027

G 0 3 F 7/40

H 0 1 L 21/3065

5 2 1

H 0 1 L 21/30

G 0 3 F 7/40

H 0 1 L 21/30

5 0 2 C

5 2 1

5 1 4 C

5 1 6 Z

21/302

H

審査請求 未請求 請求項の数5 O L (全 11 頁)

(21)出願番号

特願平9-329275

(22)出願日

平成9年(1997)11月28日

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

上出 幸洋

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人

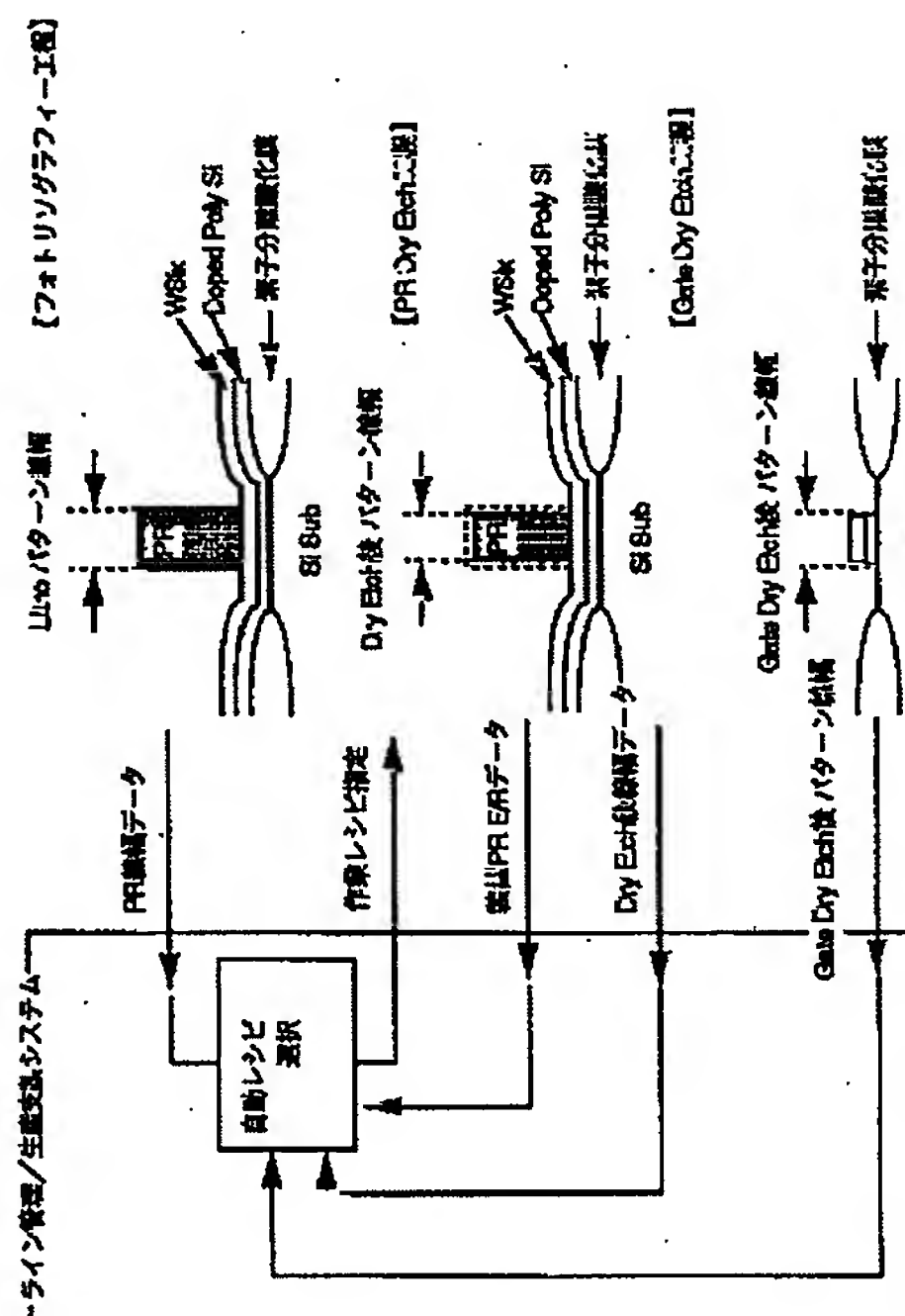
弁理士 岡▲崎▼ 信太郎 (外1名)

(54)【発明の名称】 半導体製造方法及び製造装置

(57)【要約】

【課題】 半導体の加工精度が向上する半導体製造方法及び製造装置を提供すること。

【解決手段】 表面に酸化膜が形成されたウェハに対してフォトリソグラフィを行うことにより、ウェハ上にレジストパターンを形成し、そのレジストパターンに基づいてエッチングを施して酸化膜にパターンを形成して、酸化膜のパターンの線幅であるターゲット線幅を得る、半導体製造方法において、ウェハ上に描画すべきフォトレジスト寸法の線幅を予め設定して、フォトリソグラフィを行い、ウェハ上に形成されたレジストパターンの線幅を測定して、フォトレジスト寸法の線幅とレジストパターンの線幅を比較して、その比較した値に基づいてレジストパターンの線幅に対応するエッチングの条件を決定し、エッチングを行う。



【特許請求の範囲】

【請求項1】 表面に酸化膜が形成されたウェハに対してフォトリソグラフィを行うことにより、ウェハ上にレジストパターンを形成し、そのレジストパターンに基づいてエッチングを施して酸化膜にパターンを形成して、酸化膜のパターンの線幅であるターゲット線幅を得る、半導体製造方法において、ウェハ上に描画すべきフォトレジスト寸法の線幅を予め設定して、フォトリソグラフィを行い、ウェハ上に形成されたレジストパターンの線幅を測定して、フォトレジスト寸法の線幅とレジストパターンの線幅を比較して、その比較した値に基づいてレジストパターンの線幅に対応するエッチングの条件を決定し、エッチングを行うことを特徴とする半導体製造方法。

【請求項2】 レジストパターンの線幅が複数の範囲に区分され、それぞれの区分毎にエッチングの条件が設定されており、レジストパターンの線幅の該当する範囲に対応したエッチングの条件を選択して決定する請求項1に記載の半導体製造方法。

【請求項3】 エッチングは、フッ素系ガスを用いて行われる請求項1に記載の半導体製造方法。

【請求項4】 エッチングは、堆積性ガスを用いて行われる請求項1に記載の半導体製造方法。

【請求項5】 対象物に対してフォトリソグラフィとエッチングを施すための複数の製造装置と、それぞれの製造装置に接続されており製造装置を制御している制御装置と、制御装置に接続されていて対象物の情報を記憶する記憶装置と、を有する半導体製造装置において、記憶装置は、フォトリソグラフィによって形成されたレジストパターンに基づいてレジストパターンの線幅が複数の範囲に区分され、それぞれのレジストパターンの範囲に対応したエッチングの条件が記録されていることを特徴とする半導体製造装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体製造方法及び製造装置の改良、特に、半導体の加工精度を向上させる半導体製造方法及び製造装置に関するものである。

【0002】

【従来の技術】半導体デバイスの回路パターンは年々微細化が進み、その加工を可能とする短波長光源リソグラフィや高精度な加工が可能なドライエッチング装置等が、半導体デバイスを製造する過程において導入されている。一方、求められているデバイス性能を実現する上では、それらの高性能装置での処理で生ずるばらつきでさえ、電気特性上問題となるため、装置限界に近い高精度の加工が必要となる。

【0003】特に、処理速度の高速化が進む信号処理口

ジックLSIにおいて、トランジスタのゲート線幅が処理速度に及ぼす影響が大きく、半導体デバイスの製造において厳しく管理する必要がある。しかし、上述したように半導体デバイスに求められる精度は製造装置の性能の限界に達しているのが実情である。すなわち、処理すべき各半導体デバイスを最適の同一条件で処理した場合にも、各半導体デバイスの寸法のばらつきは発生する。

【0004】従来、半導体デバイスを製造する過程において、加工された半導体デバイスの寸法管理は、以下のように行われている。まず、半導体デバイスにフォトリソグラフィ等の処理する前に、最適のレジストパターンが得られるように、半導体製造装置の露光時間やフォーカス位置等のフォトリソグラフィの条件が設定される。このとき、ウェハ上に描画されるべきレジストパターンの理想のパターンであるフォトレジスト寸法（以下「PR寸法」という）も予め設定されている。そして、最適の条件でウェハに対してフォトリソグラフィが施され、ウェハ上にレジストパターンが形成される。

【0005】その後、ウェハ上に形成されたレジストパターンの線幅が測定され、PR寸法と比較される。もしPR寸法とレジストパターンの線幅がずれていたら、フォトリソグラフィの条件を調整し、次のウェハに対してフォトリソグラフィを行う。この微調整の作業は、各半導体デバイスを処理する毎に行われ、特に規格範囲の狭いデバイスを処理する場合には、フォトリソグラフィの条件等の微調整を行うことが重要となっている。

【0006】

【発明が解決しようとする課題】しかし、ウェハを処理するごとに条件を逐次調整することは、著しく生産性を低下させるため、ある程度のばらつきは容認せざるを得ない。また、このばらつきを抑制するために、リソグラフィ工程での処理条件とレジストパターンの線幅との相関関係を統計的に集計し、リソグラフィ工程の処理条件にフィードバックするシステムが生産ラインに導入されているものもある。しかし、このような半導体製造システムを用いても、使用しているフォトリソグラフィ装置のレジストの解像限界やパターン描画時のフォーカスの限界により、レジスト現像後の線幅にばらつきが生じてしまうという問題がある。

【0007】このとき、より高性能な装置が存在するのであれば、フォトリソグラフィ装置の置き換えが最も安易で確実な手段であるが、量産コストの増大、操業率の低下等の問題が生じてしまう。また、LSIの製造において、生産デバイスが日々進化しており、新しく導入した製造装置が数ヶ月で装置の更新をしなければならないという事態も生じており、装置の入れ替えをすることには問題がある。そして、処理フローの工夫及びプロセスデータの有効活用等によって加工精度の向上を実現する半導体製造システムが望まれている。

【0008】そこで本発明は上記課題を解消し、半導体

の加工精度が向上する半導体製造方法及び製造装置を提供することを目的としている。

【0009】

【課題を解決するための手段】上記目的は、本発明にあっては、表面に酸化膜が形成されたウェハに対してフォトリソグラフィを行うことにより、ウェハ上にレジストパターンを形成し、そのレジストパターンに基づいてエッチングを施して酸化膜にパターンを形成して、酸化膜のパターンの線幅であるターゲット線幅を得る、半導体製造方法において、ウェハ上に描画すべきフォトレジスト寸法の線幅を予め設定して、フォトリソグラフィを行い、ウェハ上に形成されたレジストパターンの線幅を測定して、フォトレジスト寸法の線幅とレジストパターンの線幅を比較して、その比較した値に基づいてレジストパターンの線幅に対応するエッチングの条件を決定し、エッチングを行うことにより、達成される。

【0010】本発明では、レジストパターンの線幅に基づいてエッチングの条件を決定して、レジストパターンの線幅がフォトレジスト寸法になるように、エッチングが施される。これにより、半導体デバイスの寸法に生じるばらつきを抑制することができる。

【0011】上記目的は、本発明にあっては、対象物に対してフォトリソグラフィとエッチングを施すための複数の製造装置と、それぞれの製造装置に接続されており製造装置を制御している制御装置と、制御装置に接続されていて対象物の情報を記憶する記憶装置と、を有する半導体製造装置において、記憶装置は、フォトリソグラフィによって形成されたレジストパターンに基づいてレジストパターンの線幅が複数の範囲に区分され、それぞれのレジストパターンの範囲に対応したエッチングの条件が記録されている半導体製造装置により、達成される。

【0012】本発明では、レジストパターンの線幅に基づいてエッチングの条件を決定して、レジストパターンの線幅がフォトレジスト寸法になるように、エッチングが施される。これにより、半導体デバイスの寸法に生じるばらつきを抑制することができる。

【0013】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。なお、以下に述べる実施の形態は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

【0014】図1には本発明の半導体製造装置の好ましい実施の形態のシステム図を示しており、図1を参照して半導体製造装置10について詳しく説明する。図1の半導体製造装置10は、制御装置であるホストコンピュータ11、複数の製造装置からなる製造ライン12、記

憶装置であるデータベース13等からなっている。ホストコンピュータ11は製造ライン12と接続されていて、その情報に基づいて製造ライン12での処理の開始、処理内容等を指示する。また、ホストコンピュータ11には製造ライン12から処理された製品の情報が送られてくる。

【0015】製造ライン12は半導体デバイスを製造するためのものであり、フォトリソグラフィ装置、ドライエッチング装置、線幅測定装置等の装置が半導体デバイスの製造過程の流れに沿って並んでいる。また、ホストコンピュータ11はデータベース13と接続されており、データベース13は製造ライン12から送られてきた製品の情報を記録したり、あるいは製造ライン12が処理すべき内容を記憶している。データベース13はホストコンピュータ11の指令に基づいて、記憶されているデータをホストコンピュータ11に送る。

【0016】ホストコンピュータ11と製造ライン12の間には、ハンディターミル14が設けられている。ハンディターミル14は、作業者がホストコンピュータ11に処理する製品の情報を入力し、製造処理の開始、終了を指示するものである。また、ハンディターミル14には、製造ライン12の測定装置による加工品質データも入力され、品質規格に対して合否判定が表示される。さらに、定期的に測定される製造ライン12の各製造装置装置の性能値も入力され、作業の可否が示される。

【0017】図2には半導体製造過程の概念図、図3には半導体製造のフローチャート図を示しており、図2と図3を参照して、半導体の製造方法について詳しく説明する。まず、ウェハ上にリードフレーム中央のダイをボンディングするためのアイランドを形成するための、素子分離用酸化膜が形成される。次に、We11/接合リークを防止するためにイオン注入がなされ、その上にゲート酸化膜が形成される。

【0018】次に、このウェハの上に例えばポリサイド(Wpolycide)膜等からなる被加工膜のゲート電極膜がCVD(Chemical Vapor Deposition)法で形成される。尚、これらの工程が加えられた各ウェハの情報は逐次ホストコンピュータ11に送られ、そのデータはデータベース12に格納される。

【0019】次に、ウェハに対してフォトレジストを塗布して、PR寸法が得られるように、フォトリソグラフィが行われる(ST1)。そして、ウェハ上に形成されたレジストパターンの線幅Xpが測長SEMで測定され、ハンディターミル14を介してもしくは直接、ホストコンピュータ11に入力される(ST2)。

【0020】ホストコンピュータ11は送られてきたレジストパターンの線幅Xpを以下の式を用いて標準レジストエッチング時間Tptと算出レジストエッチング時間Tpを算出する(ST3)。

【数1】

$$T_{pt} = 60 \times (0.39 - 0.34) / R_p \quad \dots (1)$$

【数2】

$$T_t = 60 \times (X_p - 0.34) / R_p \quad \dots (2)$$

【0021】式(1)は、エッチングを施した後の酸化膜のパターンの線幅(以下「ターゲット線幅」という)を0.34nmにする場合、レジストパターンの線幅 X_p がPR寸法である0.39nmであったときのエッチング時間の理論値である標準エッチング時間 T_{pt} を求めているものである。フォトリソグラフィ工程でレジストパターンの線幅 X_p を直接ターゲット線幅である0.39 μ mに設定しないのは、以下の理由による。

【0022】本来、リソグラフィで形成されるレジストパターンの線幅は、ターゲット線幅と同一の線幅、例えば0.34 μ mであることが望ましい。しかし、i線(波長が365nmの露光光源)フォトリソグラフィにおいて0.34 μ mの線幅を形成することは極めて困難である。すなわち、i線リソグラフィ技術における解像限界は、他の光学リソグラフィ同様以下の式で表される。

$$【数3】 R = k \cdot \lambda / NA \quad \dots (3)$$

ここで、Rは解像限界線幅、kはレジスト材料に関する係数、 λ は使用光源波長、NAは使用レンズ立体角である。

【0023】式(3)より、i線光源の場合 $\lambda = 365$ (nm)であり、高性能のレンズを用いれば $NA = 0.63$ とすることができ、一般的にレジスト材料や生産ばらつき等を考慮すると $k = 0.6$ となる。このときi線リソグラフィの解像限界線幅 $R = 0.347$ (nm)となり、高性能のレンズを使ったとしても線幅を0.34 μ mとすることは難しい。このため、フォトリソグラフィ工程においてはレジストパターンの線幅をフォトリソグラフィ装置の限界値である0.39 μ mに形成し、次工程であるエッチング工程を行う際に、その線幅を調整するようにしている。

【0024】式(2)は、ウェハ上に実際に形成されたレジストパターンの線幅 X_p から、レジストパターンの線幅 X_p が0.34 μ mにする際、エッチングを施すときに必要なエッチング時間である算出エッチング時間 T_p を求めるものである。

【0025】ホストコンピュータ11は、標準エッチング時間 T_{pt} と算出レジストエッチング時間 T_p を比較する。これにより、PR寸法とレジストパターンの線幅 X_p を比較することができる。そして、この比較した結果に基づいて、次工程のエッチングの条件が決定される(ST4)。

【0026】図4には算出レジストエッチング時間 T_p とエッチング条件との対応表を示しており、図4を参照しながらPR寸法とレジストパターンの線幅 X_p の比較方法について詳しく説明する。図4において、標準レジ

ストエッチング時間 T_{pt} に基づいて、算出レジストエッチング時間 T_p が複数の領域、例えば8つの範囲に区分されている。それぞれの領域に対応したレジストエッチャーレシピが用意されている。レジストエッチャーレシピはレジストパターンの線幅 X_p が大きくなるにつれて、レジストパターンの線幅を広げることができるように設定されている。

【0027】レジストエッチャーレシピには、図5に示すような、例えばガス流量、ガス圧力、マイクロ波パワー等のエッチングの条件が、レジストパターンの線幅 X_p のばらつきを最小限になるように設定されている。これにより、フォトリソグラフィで得られるレジストパターンの線幅 X_p からPR寸法に近づけるため、エッチングの条件がレジストパターンの線幅 X_p に対応して設定されることになる。

【0028】例えば、レジストパターンの線幅 X_p が0.39 μ mであるとき、式(1)と式(2)により、算出レジストエッチング時間 T_p は標準レジストエッチング時間 T_{pt} の ± 5 (sec)の範囲に該当している。よって、図4のレジストエッチャーレシピの「D」が選択され、ホストコンピュータ11からレジストエッチング装置へと図5のような条件が送られる。その後、その条件に基づいてエッチング処理がなされる。

【0029】そして、ウェハが図1の製造ライン12のエッチング装置に流れて、レジストエッチャーレシピの中から選択されたエッチングの条件でエッチングがなされる(ST5)。これにより、レジストパターンの線幅 X_p がターゲット線幅になるようなエッチングが施される。エッチング処理が終了した後、レジスト線幅 X_p が測長SEMで測定され(ST6)、ハンディターミル14を介してもしくは直接ホストコンピュータ11に数値が入力される。その後、有磁場マイクロ波プラズマエッチング装置により、図6の条件の下にWPolycideゲートが加工され、レジストパターンの線幅を測長SEMで測定した後、半導体デバイスが次工程に送り出される(ST7)。

【0030】レジストエッチャーレシピを選択するだけで各ウェハに形成されたレジストパターンの線幅 X_p のばらつきを補正することができるため、ウェハを処理する毎にフォトリソグラフィ等の条件を逐次調整する必要がなく、効率的に半導体デバイスの製造を行うことができる。また、レジストパターンの線幅 X_p をフィードバックしてドライエッチングによりレジストマスクの線幅を修正するため、制御性が向上し、PR寸法からのずれを最小に押さえることができる。例えば、リソグラフィ工程においてレジストパターンの線幅のばらつきをPR

寸法と比較して $0.39 \pm 0.025 \mu\text{m}$ 、レジストエッチング工程後でターゲット線幅と比較して、 $0.34 \mu\text{m} \pm 0.010 \mu\text{m}$ と最小限に押さえることができる。さらに、i線リソグラフィで制御して形成される線幅の限界は例えば $0.39 \mu\text{m}$ であったが、線幅限界を超えて $0.34 \mu\text{m}$ の線幅パターンの形成が精度よく実現することができる。

【0031】別の実施の形態

図7乃至図12には、本発明の別の実施の形態を示している。以下の各実施の形態の半導体製造方法及び製造装置は、図1の実施の形態の半導体製造方法及び製造装置とほぼ同様の構造である。従って、以下の実施の形態の半導体製造方法及び製造装置における構成要素について、図1の実施の形態の半導体製造方法及び製造装置における構成要素と同じ場合には、同じ符号を記してその説明を省略する。

【0032】第2の実施の形態

図7には、本発明の別の実施の形態を示している。第2の実施の形態において、第1の実施の形態と異なる点は、レジストエッチングを行う際に、フッ素系ラジカル（遊離基）を用いることである。図7を参照して半導体製造方法について詳しく説明する。

$$T_{pt} = 60 \times (0.40 - 0.34) / R_p \quad \dots (4)$$

【数5】

$$T_t = 60 \times (X_p - 0.34) / R_p \quad \dots (5)$$

【0036】ここで式(4)は、レジストパターンの線幅 X_p が $0.40 \mu\text{m}$ になるようにフォトリソグラフィを行ったときに、ターゲット線幅が $0.34 \mu\text{m}$ になるのに必要なレジストエッチング時間の理論値を求める式である。一方、式(5)は、実際のレジストパターンの線幅 X_p が、ターゲット線幅になるために必要なレジストエッチング時間を算出している。

【0037】ホストコンピュータ11は、式(4)と式(5)でそれぞれ算出された標準レジストエッチング時間 T_{pt} と算出レジストエッチング時間 T_p を比較する。両者のレジストエッチング時間を比較することにより、レジストパターンの線幅 X_p のばらつきを算出する。ホストコンピュータ11は図4の比較表に基づいて、算出レジストエッチング時間 T_p がどの範囲にあるかを判断し、区分された領域に対応するレジストエッチャーレシピをエッチング装置に送る。

【0038】ここで、例えばレジストパターンの線幅 X_p が 0.40 nm であった場合、ホストコンピュータ11は、標準レジストエッチング時間 T_{pt} と算出レジストエッチング時間 T_p を算出する。そして、図5に基づいてを比較して、標準レジストエッチング時間 T_{pt} と算出レジストエッチング時間 T_p を比較する。その結果、レジストエッチャーレシピの中から「D」を選択し、レジストエッチング装置にエッチング情報を送る。

【0039】選択されたレジストエッチャーレシピのエ

【0033】まず、ウェハ上に素子分離酸化膜、well/接合リーク防止のためのイオン注入、ゲート酸化膜が形成される。そして、この上に被加工膜であるWPolycide膜が熱CVD法により形成され、この上に常圧CVD法により酸化膜が例えば 70 nm 堆積する。そして、フォトリソグラフィ工程でレジストパターンを形成する。

【0034】このとき、半導体デバイスに形成されるレジストパターンの線幅は、例えば $0.40 \mu\text{m}$ になるようにフォトリソグラフィを行う。 $0.40 \mu\text{m}$ としたのは、後述するエッチングを行う際に、フッ素系ガスを用いてレジストドライエッチングを行うため、第1の実施の形態よりも太くする必要があるからである。

【0035】次に、フォトリソグラフィで形成されたパターンの線幅を測長SEMで測定し、その線幅データ X_p はホストコンピュータ11に送られる。ホストコンピュータ11は、以下の式に基づいて標準レジストエッチング時間 T_{pt} 、算出レジストエッチング時間 T_p を算出する。ここで、エッチングレート R_p は例えば $60 \text{ nm/min} \sim 70 \text{ nm/min}$ になっている。

【数4】

ッチング条件に基づいて、レジストエッチング装置によりエッチングが行われる。ここで、レジストエッチング装置としてラジカル（遊離基）輸送型エッチング装置を用いる。これはフッ素系のラジカルを用いることで、リソグラフィで発生するパターン依存の補正を行うことができるためである。ここでパターン依存とは以下の現象をいう。

【0040】例えばポジ型のレジストを用いたリソグラフィによりパターン描画が行われる場合、一般的に孤立したパターンの線幅は密パターンの線幅より太くなってしまふ。これは、密パターンでは回折光が隣接するパターンのレチクル開口部から得られ、干渉によりコントラストが大きくなるが、孤立パターンでは回折光干渉による光強度向上が起きないためである。よって密パターンの線幅を設定してリソグラフィを行うと、孤立パターンの光量が不足して線幅が太くなってしまふ。逆に、例えばネガ型のレジストを用いた場合は孤立パターンの線幅が密パターンより細くなってしまふ。

【0041】ここでリソグラフィで連続パターンと孤立パターンをPR寸法に基づいて形成したとき、連続パターンは $0.40 \mu\text{m}$ で形成され孤立ラインは $0.42 \mu\text{m}$ 程度に形成されたとする。その後エッチング工程において、フッ素系ラジカルはマイクロローディング効果により、孤立パターンのエッチレートが連続パターンのエッチレートより高くなる。よって、例えば、エッチング

終了後の孤立パターンの線幅は0.34 μm 、連続パターンの線幅は0.35 μm に形成され、両者のパターンの線幅の差を補正することができる。

【0042】そして、形成されたレジストパターンをマスクとして、酸化膜層を例えば平行平板ナローギャップRIE (Reactive Ion Etching) 装置によりエッチングを行う。その後、レジストパターンの線幅 X_p を側長SEMで測定し、ハンディターミル14に入力する。そして、有磁場マイクロ波プラズマエッチング装置によりWPolycideゲートを加工する。この処理が終了すると、レジストパターンが側長SEMで測定され、ハンディターミル14に入力後、次工程へ送られる。

【0043】これにより、フォトリソグラフィでのレジストパターンの線幅 X_p の値をフィードバックし、さらにレジストパターンの線幅 X_p を補正するレジストマスクの加工が可能となり、より精度の高いGate加工を行うことができる。

【0044】第3の実施の形態

図8には半導体製造のフローチャート図を示しており、

$$T_{pt} = 60 \times (0.40 - 0.34) / R_p \quad \dots (6)$$

【数7】

$$T_t = 60 \times (X_p - 0.34) / R_p \quad \dots (7)$$

【0047】算出された標準レジストエッチング時間 T_{pt} と算出レジストエッチング時間 T_p を図9に基づいて比較し、 T_p が図9の標準レジストエッチング時間 T_{pt} のどの範囲内にあるかをホストコンピュータ11が検索する。そして、該当する T_p レンジのレジストエッチャーレシピに基づいて次の工程であるエッチングが行われる(ST15)。

【0048】レジストエッチャーレシピには、図10に示すようなガス流量、ガス圧力、マイクロ波パワー、セプター温度、エッチング時間等が予め設定されてい

$$T_{pt} = 60 \times (0.40 - 0.34) / R_p \quad \dots (8)$$

【0050】算出レジストエッチング時間 T_d が図11のどの範囲内にあるかをホストコンピュータ11が検索する(ST18)。そして、該当する算出レジストエッチング時間 T_d レンジのレジストエッチャーレシピに基づいて次の工程であるエッチングが行われる。レジストエッチャーレシピには、図12に示すようなガス流量、ガス圧力RFパワー、エッチング時間等が予め設定されており、標準レジストエッチング時間 T_d に基づいて、複数のレジストエッチャーレシピから選択される。例えば、 X_p の値が0.31 nmの場合、式(8)により、レジストエッチャーレシピの「 ϵ 」が選択され、のような条件でエッチングが行われる(ST19)。

【0051】その後、デポジッション性の高い CHF_3 、 CH_2F_2 等の気体を分解することでポリマーを堆積し、リソグラフィで形成されるレジストパターンのコーティングを行う。これにより、分離されてはいない

図8を参照して第3の実施の形態について詳しく説明する。まず、ウェハ上に素子分離用アイランド酸化膜及びWell/接合リーク防止のイオン注入工程、Gate酸化工程を経た対象物に被加工膜であるWPolycide膜を熱CVD法で形成する。この上に常圧CVD法により酸化膜を70 nm堆積させ、図9の条件の下にフォトリソグラフィが行われ、レジストパターンが形成される(ST11)。

【0045】フォトリソグラフィ工程で形成されたパターンの線幅を側長SEMで測定し(ST12)、ホストコンピュータ11及びハンディターミル14にその線幅を入力する。ホストコンピュータ11及びハンディターミル14は、その線幅の平均値 X_p を算出し、 X_p が0.34以上であるかを判断する(ST13)。

【0046】レジストパターンの線幅 X_p が0.34以上である場合、ホストコンピュータ11及びハンディターミル14ではこのデータから以下の式に基づいて、標準レジストエッチング時間 T_{pt} と算出レジストエッチング時間 T_p を算出する(ST14)。

【数6】

る。この複数のレジストエッチャーレシピの中から標準レジストエッチング時間 T_p の値に応じてある1つのレジストエッチャーレシピを選択する。

【0049】次に、レジストパターンの線幅 X_p が0.34未満である場合、リソグラフィで形成されたレジストパターンの線幅 X_p を大きくする必要がある。このとき、ホストコンピュータ11及びハンディターミル14ではこのデータから以下の式に基づいて、算出レジストエッチング時間 T_d を算出する(ST17)。

【数8】

レジストパターンの凸部の幅が小さくなり、所定のレジストパターンの線幅になるように修正される。そして、平行平板エッチング装置でエッチングを行い、分離された所定の線幅のレジストパターンを得ることができる。これにより、リソグラフィ工程において、レジストパターンの線幅を細める線幅修正ができるとともに、レジストパターンの線幅を広げる修正をすることができる。

【0052】上記各実施の形態によると、フォトリソグラフィ工程のみで形成されるレジストマスクに比べ、線幅ばらつき、ターゲット線幅からのずれが少なく、線幅制御性の高い加工が実現できる。また、ドライエッチング装置等のパターン加工装置の加工変換差データを読み込み、変換差分をマスク幅に加減算することにより加工でき上がり寸法の精度が向上する。そして、ドライエッチングにフッ素系ハロゲン等のラジカルを利用すること

により、フォトリソグラフィのパターン依存を補正することができる。更に、リソグラフィ装置の解像限界よりも狭い線幅の下降が制御可能となる。

【0053】

【発明の効果】以上説明したように、本発明によれば、半導体の加工精度が向上する半導体製造方法及び製造装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体製造装置の好ましい実施の形態を示すシステム図。

【図2】本発明の半導体製造方法の好ましい実施の形態を示す概念図。

【図3】本発明の半導体製造方法の好ましい実施の形態を示すフローチャート図。

【図4】レジストパターンの線幅とレジストエッチャーレシピの対応を示す表。

【図5】レジストエッチャーレシピのエッチング条件の一例を示す表。

【図6】レジストエッチャーレシピのエッチング条件の

一例を示す表。

【図7】本発明の半導体製造装置の好ましい第2の実施の形態を示すシステム図。

【図8】本発明の半導体製造方法の好ましい第3の実施の形態を示すフローチャート図。

【図9】レジストパターンの線幅とレジストエッチャーレシピの対応を示す表。

【図10】レジストエッチャーレシピのエッチング条件の一例を示す表。

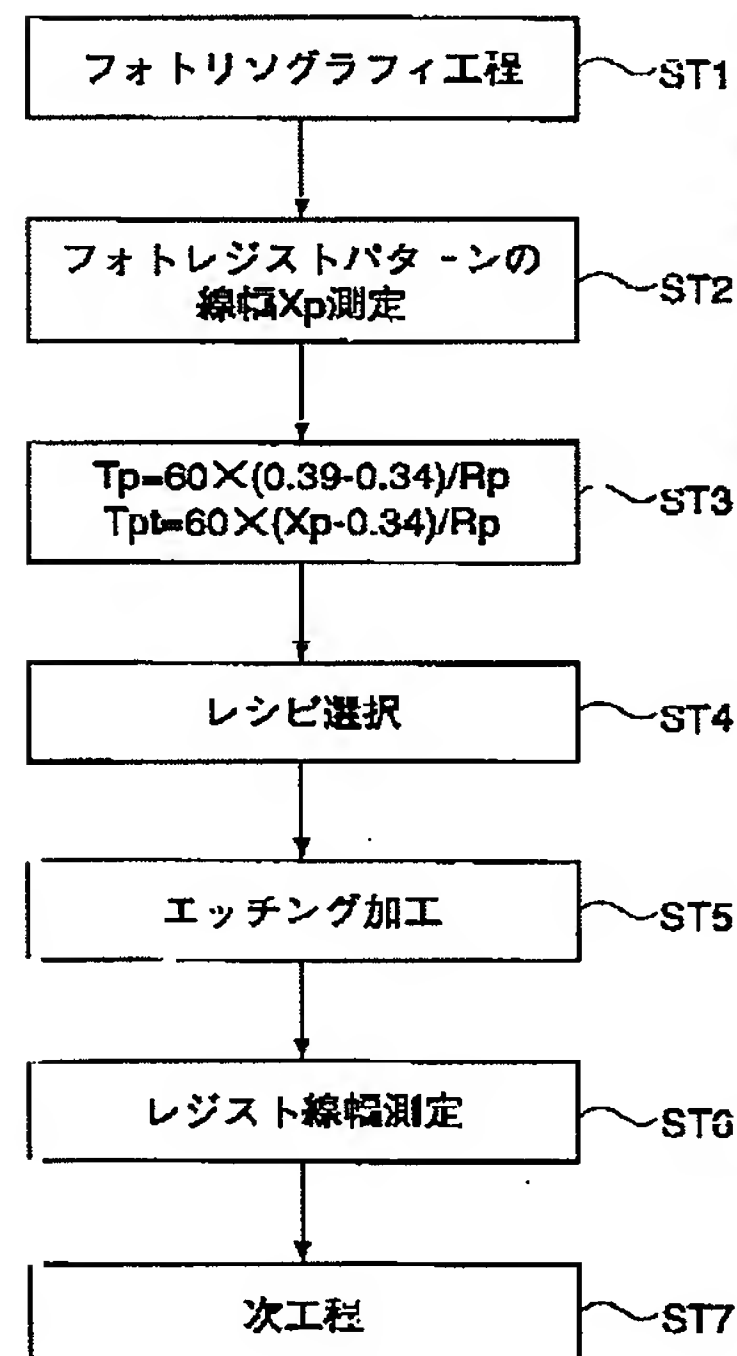
【図11】レジストパターンの線幅とレジストエッチャーレシピの対応を示す表。

【図12】レジストエッチャーレシピのエッチング条件の一例を示す表。

【符号の説明】

10・・・半導体製造装置、11・・・ホストコンピュータ（制御装置）、12・・・製造ライン、13・・・データベース、14・・・ハンディターミル、Xp・・・レジストパターンの線幅。

【図3】



【図4】

Tpレンジ	レジストエッチャーレシピ
(Tpt-30sec) ± 5sec	A
(Tpt-20sec) ± 5sec	B
(Tpt-10sec) ± 5sec	C
Tpt ± 5sec	D
(Tpt+10sec) ± 5sec	E
(Tpt+20sec) ± 5sec	F
(Tpt+30sec) ± 5sec	G
(Tpt+40sec) ± 5sec	H

【図5】

ガス流量: O2=350sccm
ガス圧力: 80 Pa
マイクロ波パワー: 600W
サセプター温度: 100°C
Etching Time: 45sec

【図12】

Tdレンジ	レジストエッチャーレシピ
0~5	α
5~10	β
10~15	γ
15~20	δ
20~25	ε
25~30	ζ
30~35	η
35~40	θ

【図6】

ガス流量: O2 / O2=15 / 8 sccm
ガス圧力: 0.53 Pa
マイクロ波パワー: 750W
RF Power: 70W (WSix Etch) .30W (Doped Poly Etch: Over Etch)
磁場コイル電流: 25 / 4 A
サセプター温度: 50°C
Etching Time: WSi EPDにて RF Power 切り換え、オーバーエッチ20%

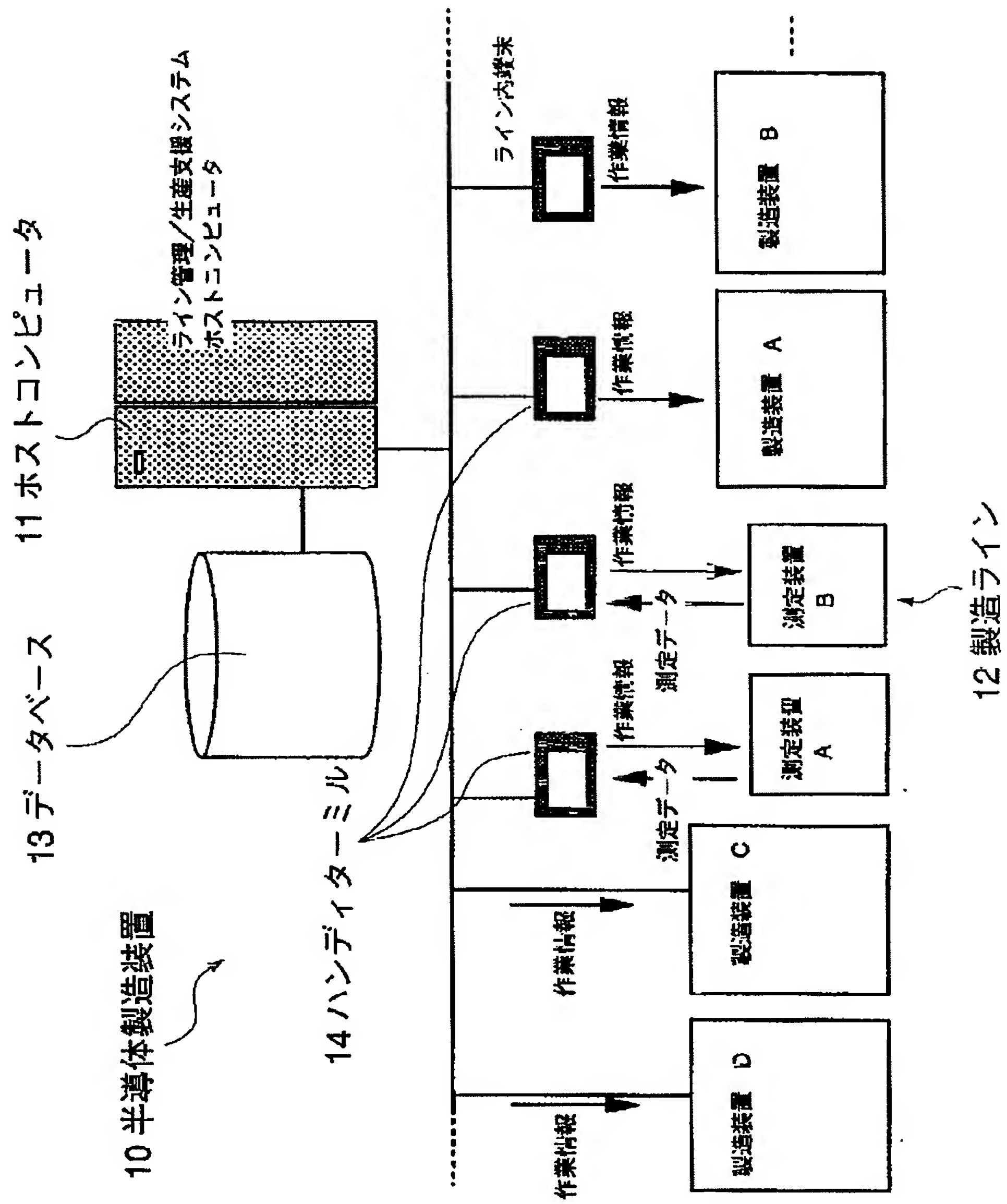
【図10】

ガス流量: CF4 / O2 / N2=270 / 270 / 80 sccm
ガス圧力: 70 Pa
マイクロ波パワー: 700W
サセプター温度: 15°C
Etching Time: 60sec

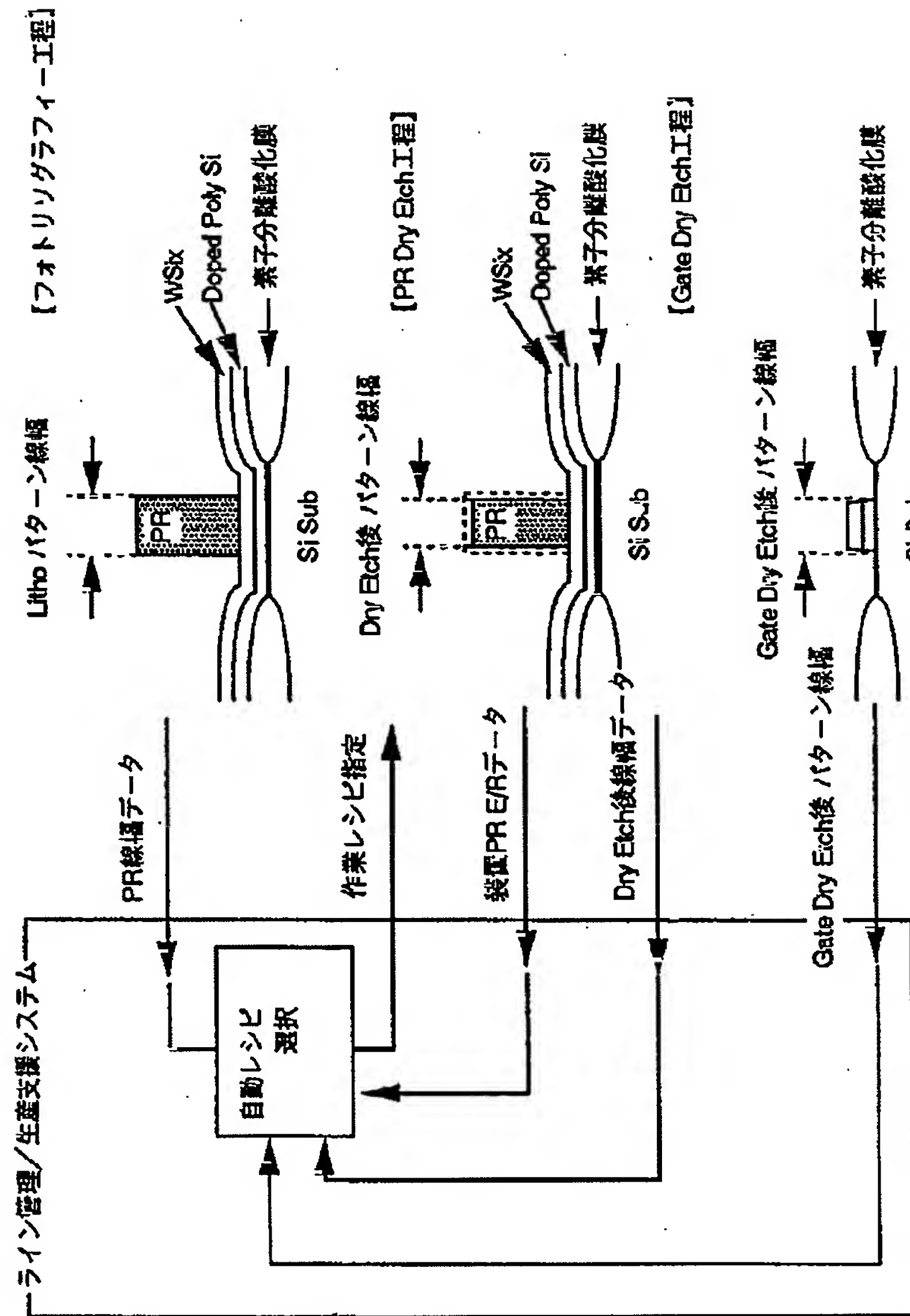
【図11】

ガス流量: CH2F2 / N2=250 / 300 sccm
ガス圧力: 70 Pa
マイクロ波パワー: 700W
サセプター温度: 15°C
Etching Time: 40sec

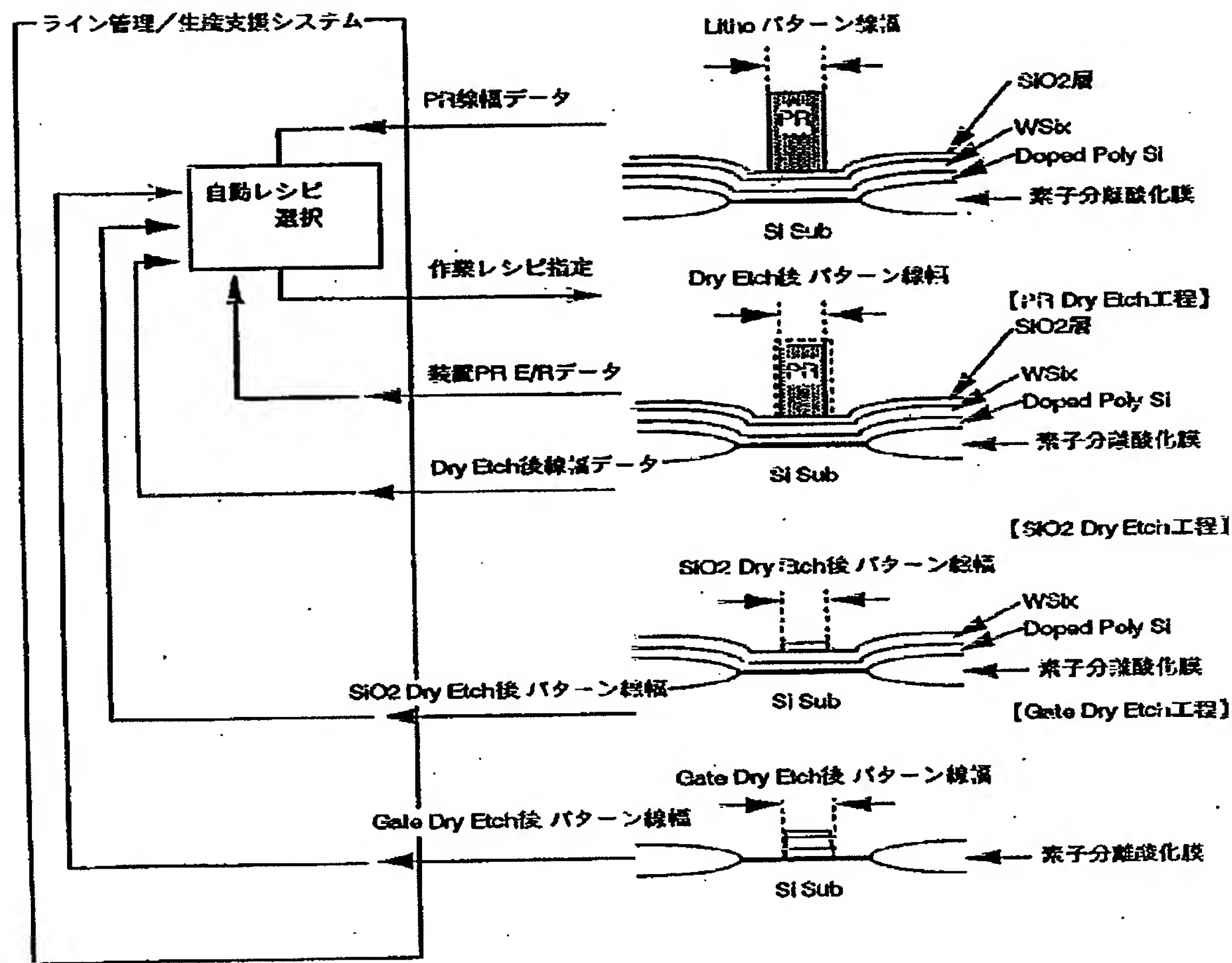
【図1】



【図2】



【図7】



【図9】

Tpレンジ	レジストエッチャーレジスト
(Tpt-30sec)±5sec	A
(Tpt-20sec)±5sec	B
(Tpt-10sec)±5sec	C
Tpt±5sec	D
(Tpt+10sec)±5sec	E
(Tpt+20sec)±5sec	F
(Tpt+30sec)±5sec	G
(Tpt+40sec)±5sec	H

【図8】

